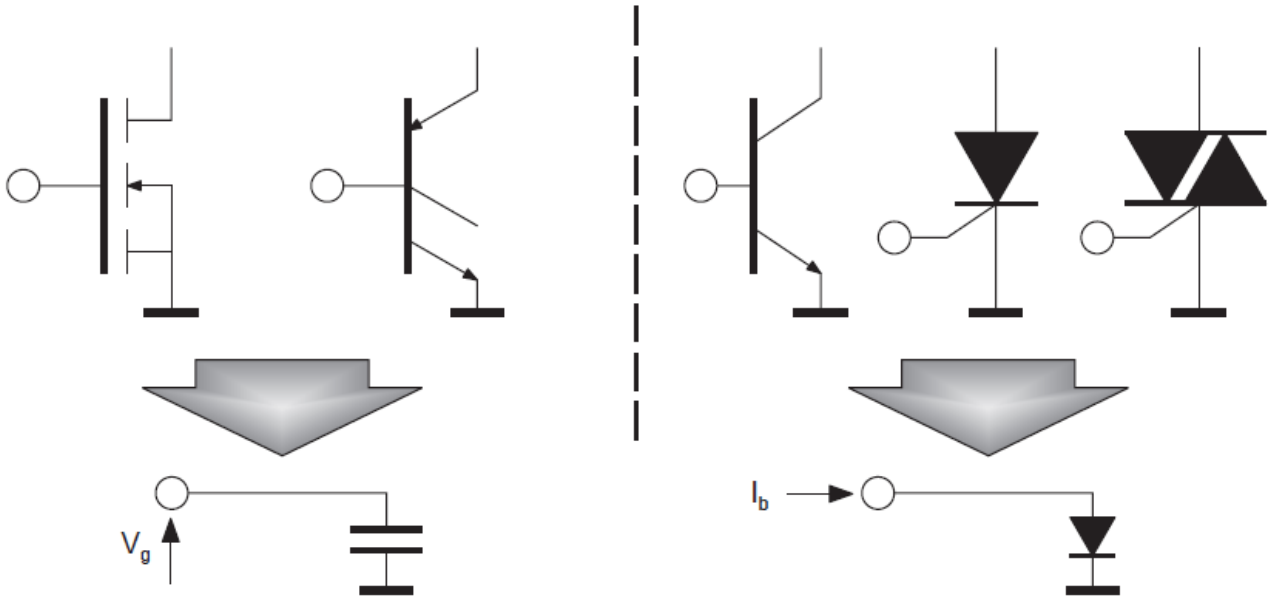
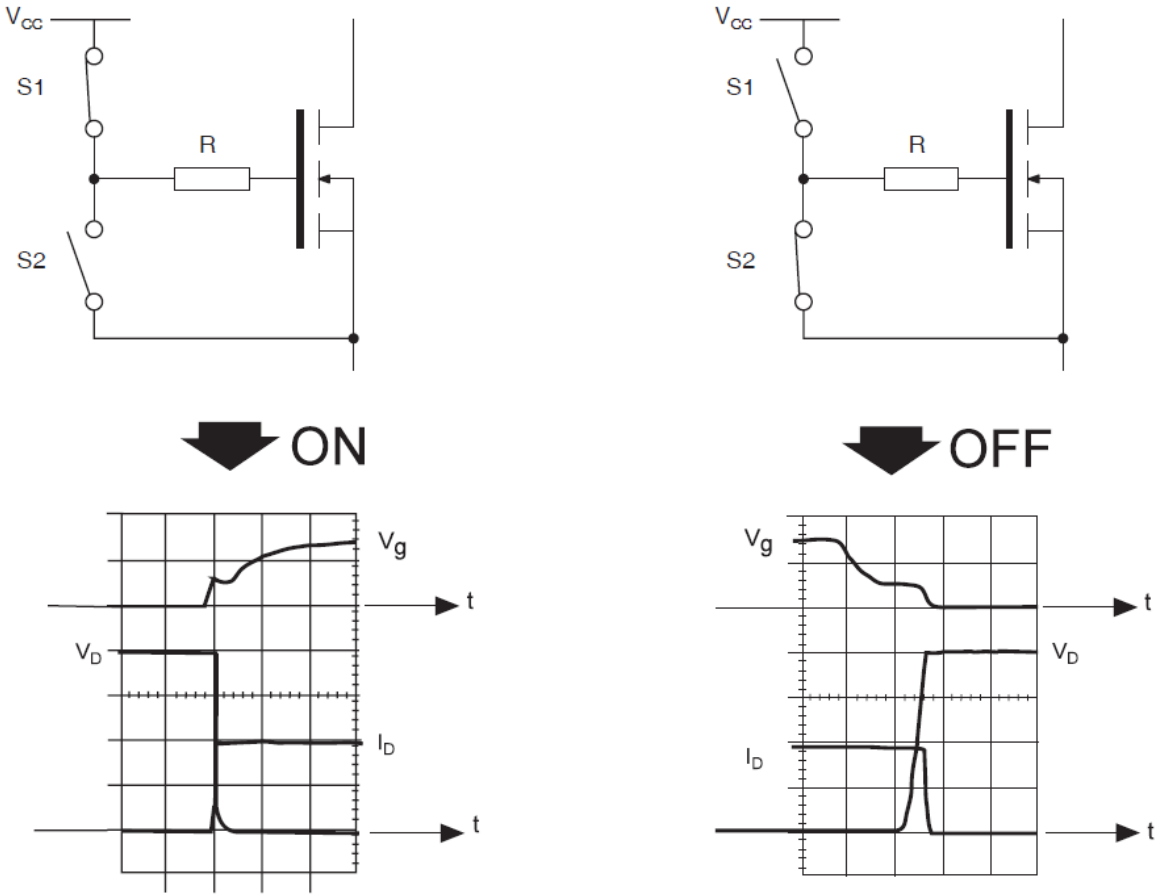
Řídicí obvody (budiče) MOSFET a IGBT



Rozdíly v buzení bipolárních a unipolárních součástek

Řídicí obvody (budiče) MOSFET a IGBT

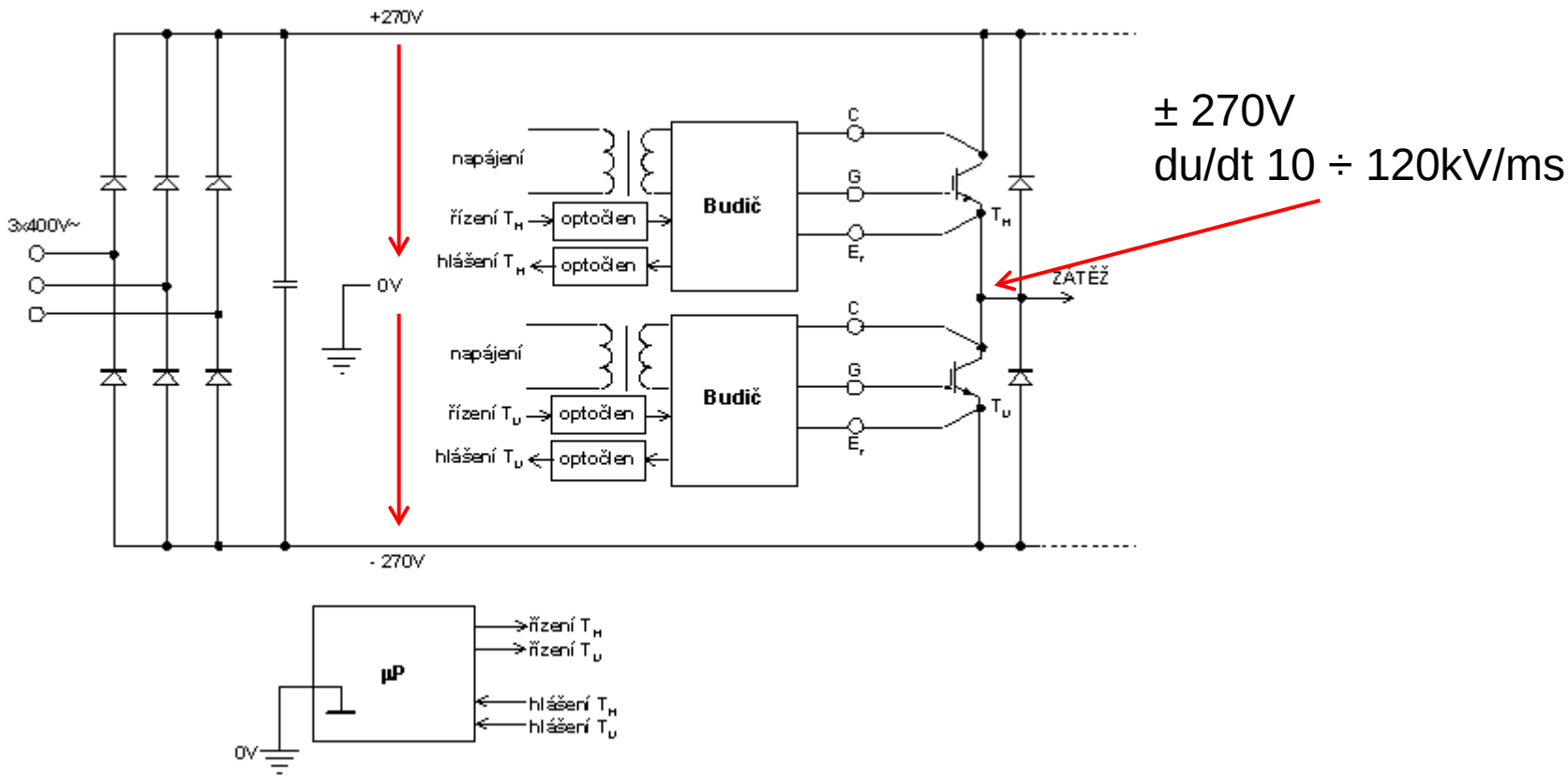


Řídicí obvody (budiče) MOSFET a IGBT

Hlavní požadavky na ideální budič

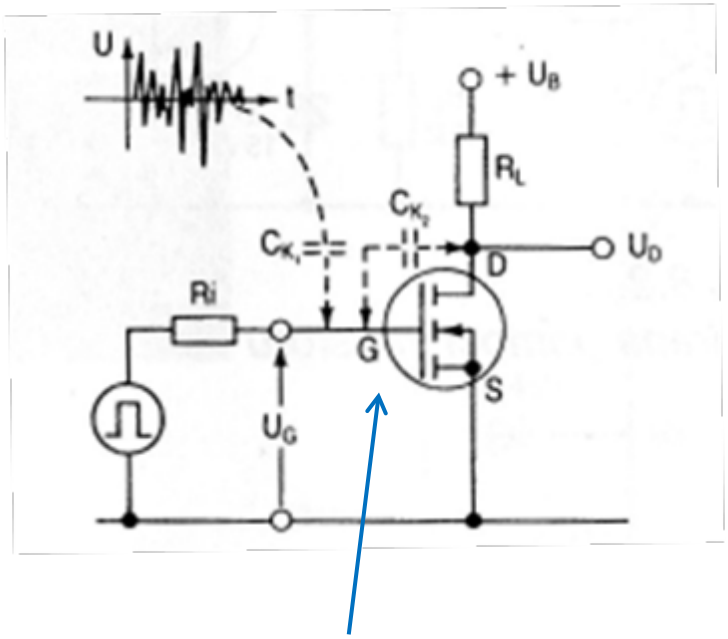
- Galvanické oddělení
- Malý dynamický vnitřní odpor
- Odstranění vysokého odporu v oblasti hradla
- Umožnění plovoucího provozu spínacích tranzistorů
- Malé zbytkové napětí při ve vypnutém stavu
- Malá vazební kapacita mezi řídicím obvodem a zátěží
- Kompaktní konstrukce bez indukčností

Galvanické oddělení řídicích a výkonových obvodů



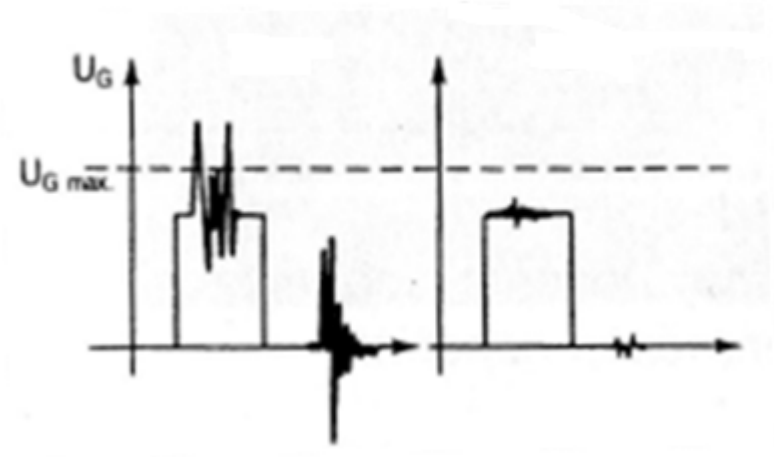
Galvanicky oddělený napájecí zdroj – DC/DC měnič
Galvanicky oddělené řídicí signály – impulzní transformátor nebo optická vazba

Malý dynamický vnitřní odpor

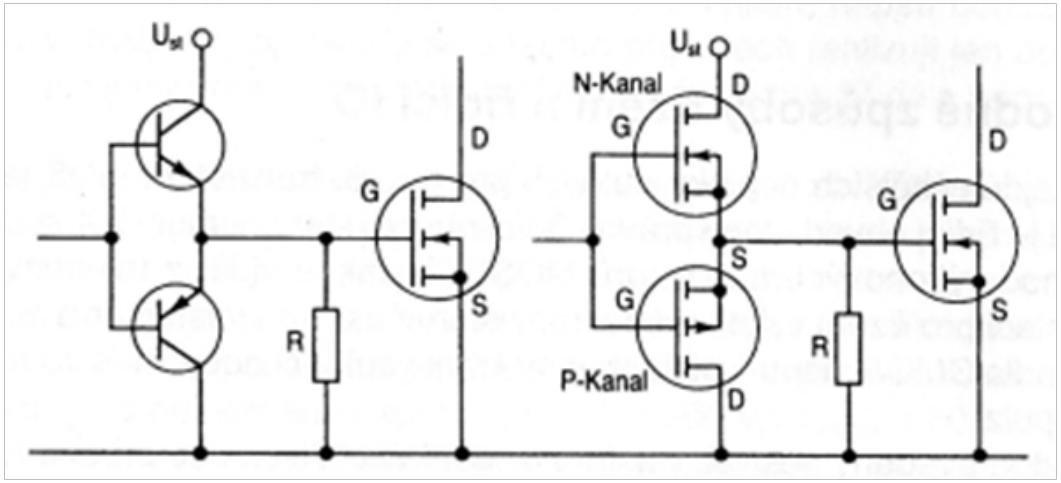


Vysoká vstupní impedance ≈ 10^{12} Ω

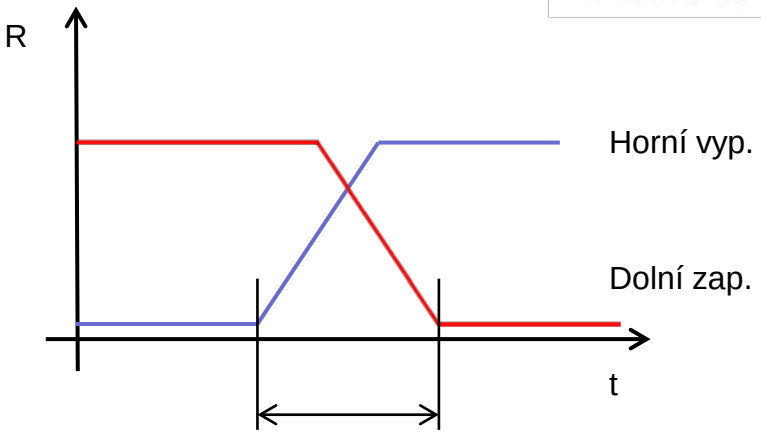
R_i příliš velký R_i malý



Odstranění oblasti vysokého odporu

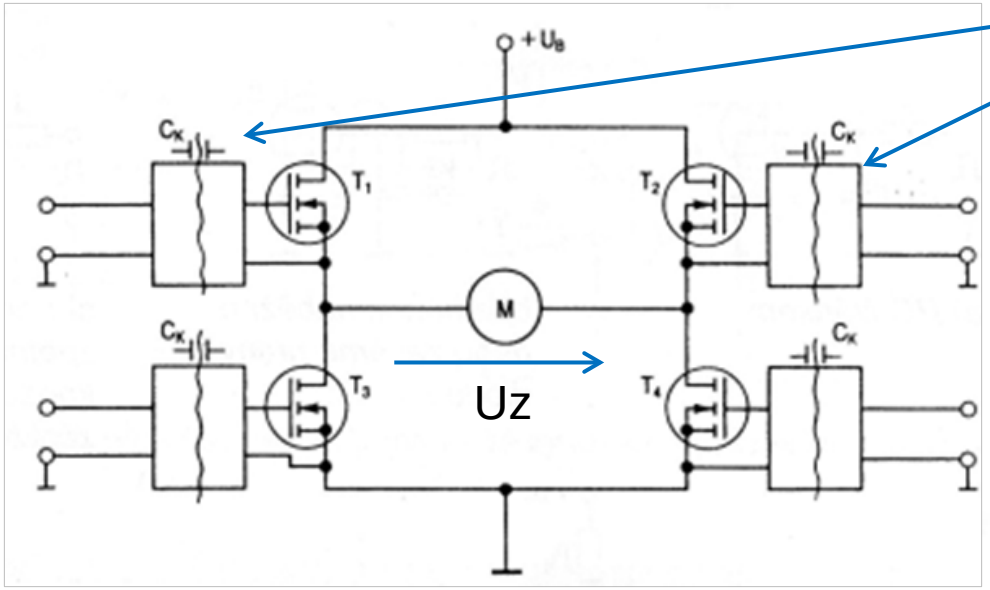


R = 100 Ω 10 kΩ

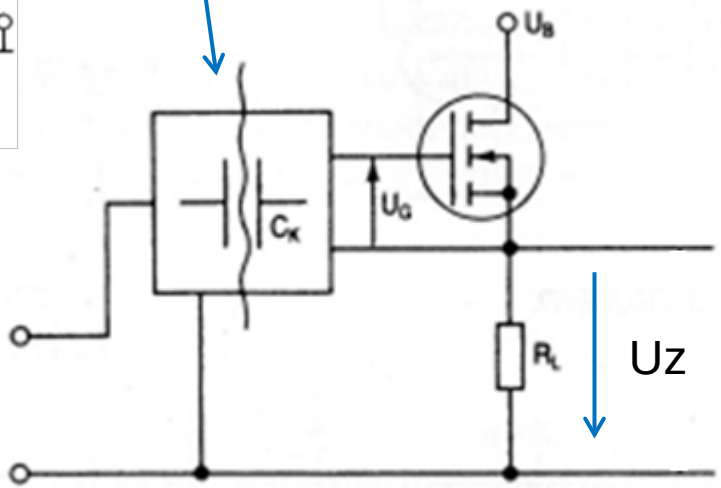


Oblast vysokého odporu

Plovoucí provoz spínacích tranzistorů

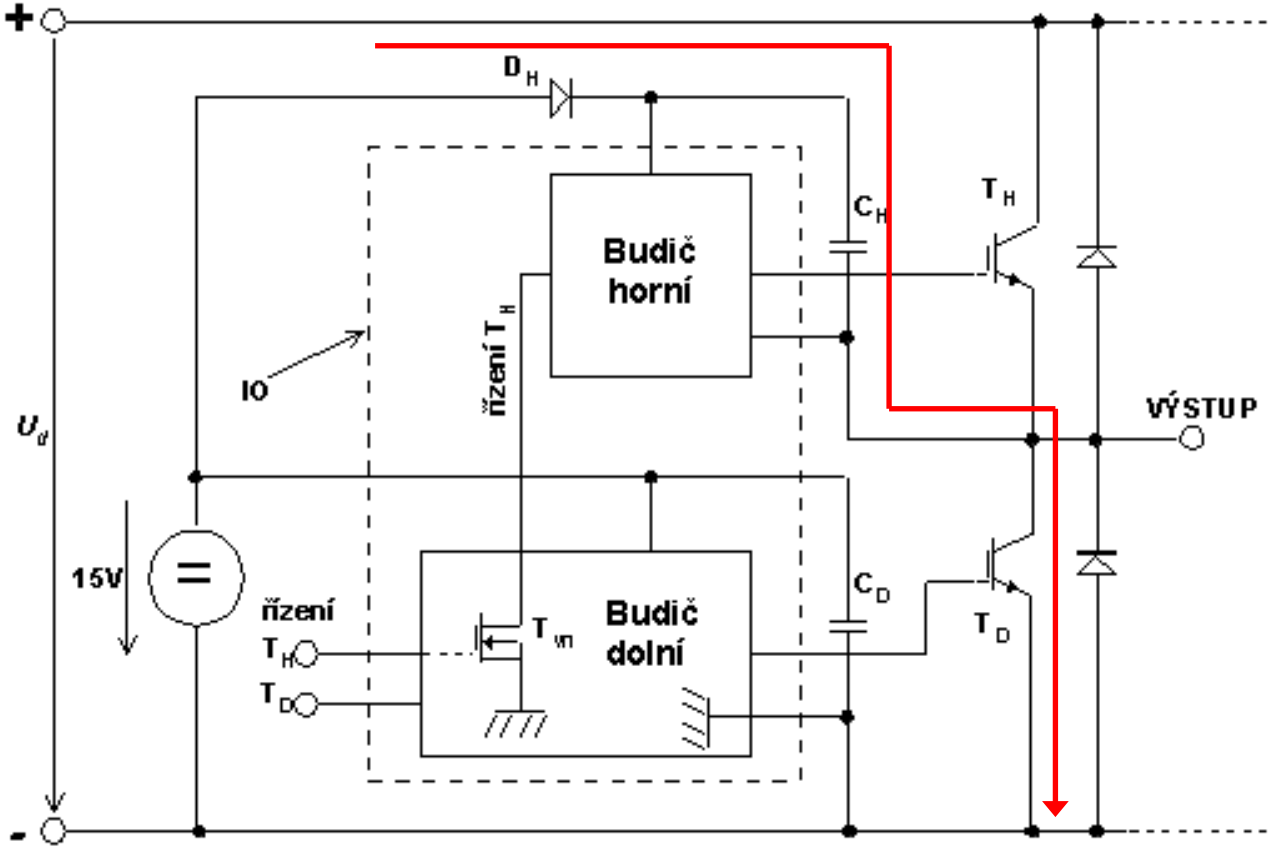


Horní budiče „plavou“ na napětí zátěže



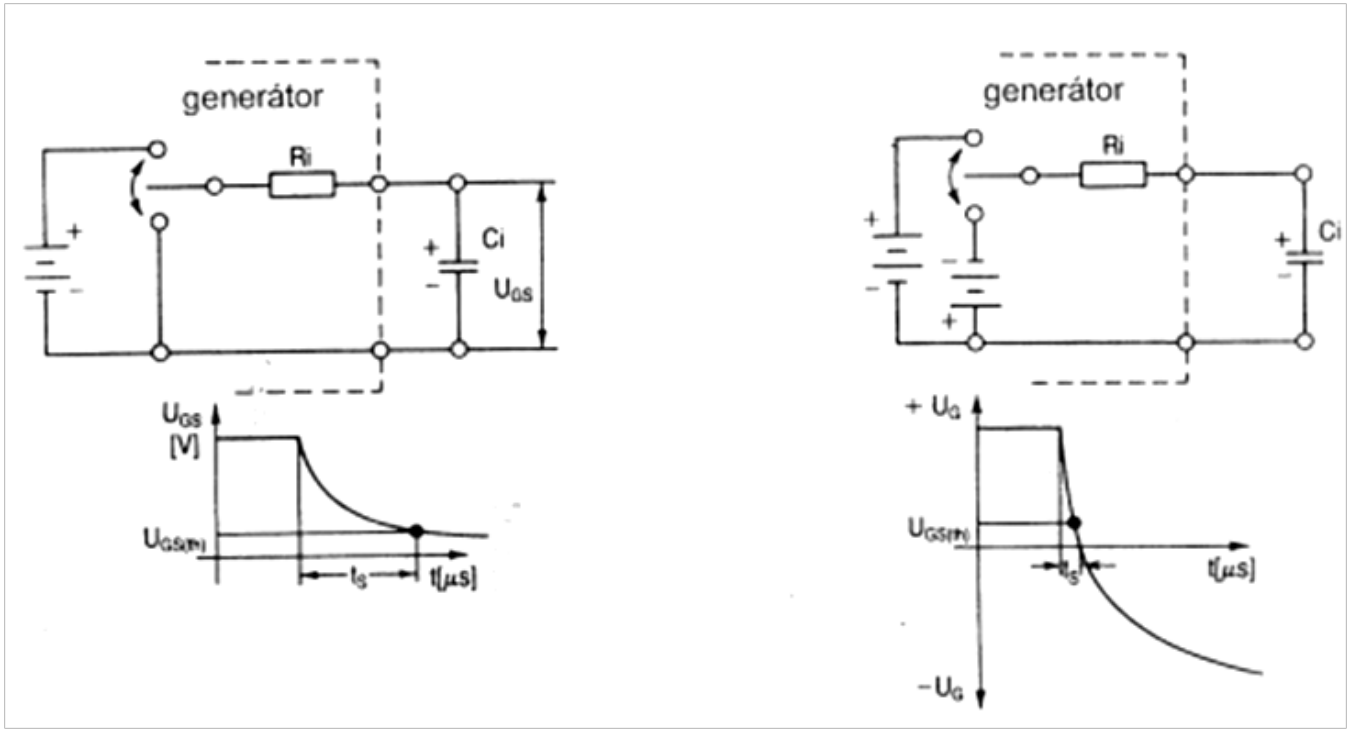
Budicí napětí U_G je třeba zvýšit (posunout) o hodnotu Uz

Princip činnosti nábojové pumpy pro napájení „horního“ budiče



Při sepnutém tranzistoru T_D se ze zdroje 15V přes diodu D_H nabíjí C_H. Po vypnutí T_D se nabitý kondenzátor C_H se stává napájecím zdrojem pro horní budič a gate tranzistoru T_H. Dioda D_H se vlivem vysokého potenciálu napájecího bodu horního budiče uzavře a odpojí napáječ 15V. Řízení horního budiče je realizováno diferenčním zesilovačem.

Malé zbytkové napětí



Proudové požadavky na budič

Vstup tranzistoru má kapacitní charakter – 1 ÷ 2 nF

Prahové napětí $U_{GS} \approx 5$ V, pro bezpečné sepnutí se používá $U_{GS} = 10 \div 15$ V

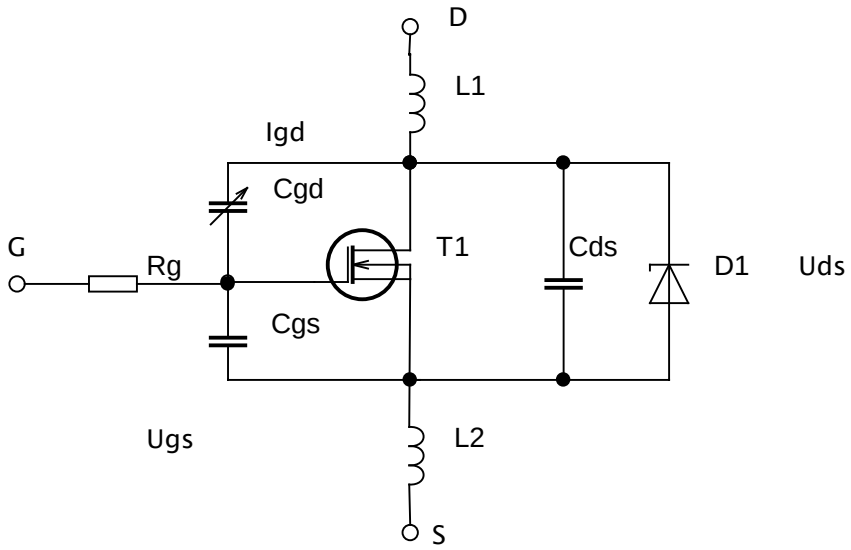
Rychlost spínání $t_{on} \approx 27$ns, náboj hradla $Q_G = 35$nC, Cin = 1,26 nF (IRF740)

Proud do hradla:

$$I_G = C_{in} \cdot \frac{du_{GS}}{dt} = 1{,}26 \cdot 10^{-9} \cdot \frac{15}{27 \cdot 10^{-9}} = 0{,}7\,\mathrm{A}$$

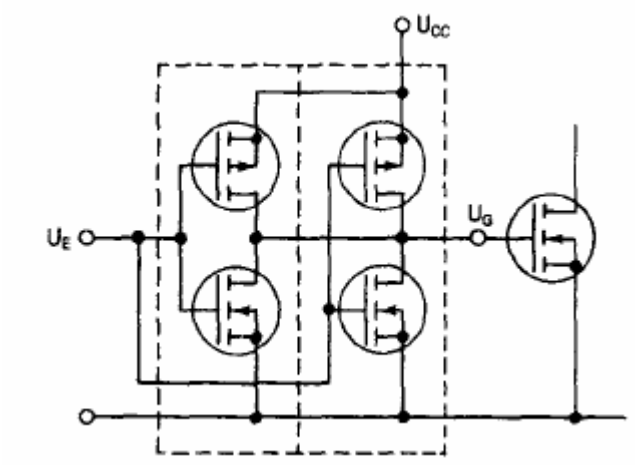
nebo

$$I_G = \frac{Q_G}{t_{on}} = \frac{35 \cdot 10^{-9}}{27 \cdot 10^{-9}} = 1{,}3\,\mathrm{A}$$



Příklady provedení budičů

Hradla CMOS

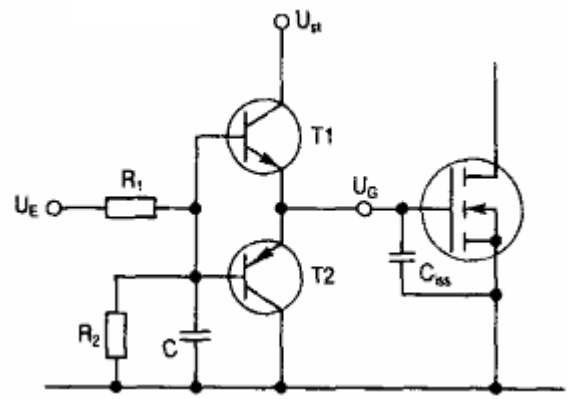


- Jsou jednoduché a levné (většinou je v pouzdře více hradel)
- Obrací fázi vstupních impulzů
- Paralelním řazením hradel lze přizpůsobit řídicí stupeň výkonovému a měnit spínací doby
- Mají velmi malou spotřebu
- Pro U_{cc} > 8 V vysoká odolnost proti rušení
- Pro U_{cc} < 3 V není stav výstupu definovaný
- Při vypnutí napájení U_{cc} velký vnitřní odpor

Příklady provedení budičů

Budič s bipolárními komplementárními tranzistory - emitorový sledovač

Budicí stupeň „totem-pole“

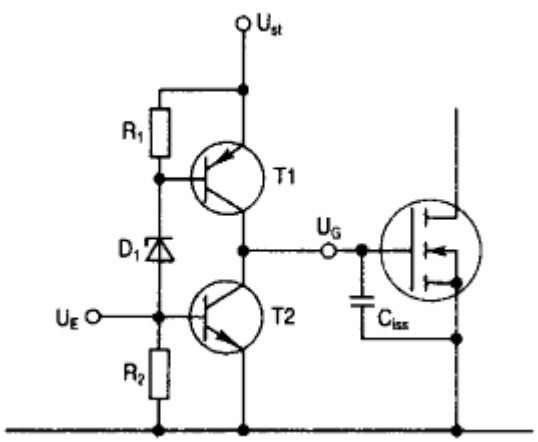


- Lze jej jednoduše sestavit z diskrétních součástek
- Vstupní impulz není invertován
- Vnitřní odpor je i při vypnutém napájení malý, protože při kladném napětí hradla (v důsledku kapacitní vazby) teče přes R2 proud báze T2 a ten se otevře
- Dobu náběhu lze měnit pomocí R1 a C
- Hrany řídicích impulzů mají exponenciální průběh
- Při málo strmých hranách lze pozorovat, že v důsledku prahových napětí tranzistorů má obvod krátkodobě vysoký vnitřní odpor.

Příklady provedení budičů

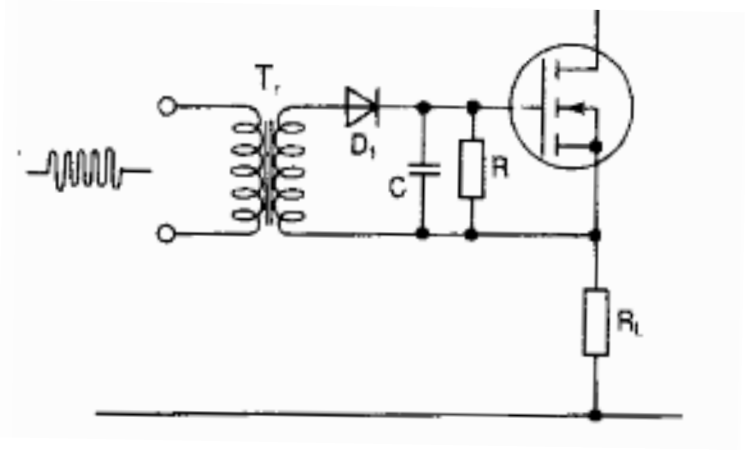
Budič s komplementárními bipolárními tranzistory s kolektorovým výstupem

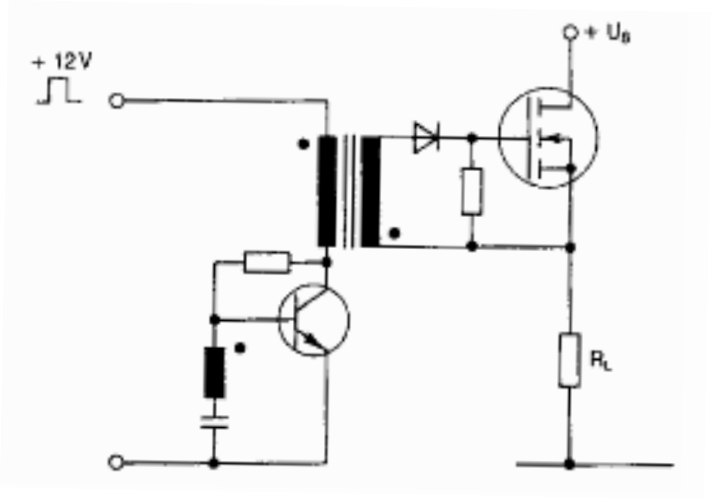
Budicí stupeň „totem-pole“



- Obrací fázi vstupních impulzů
- Vysoký vnitřní odpor při vypnutém napájení
- Podle dimenzování řídicího obvodu může při přepínání docházet ke stavům s vysokým vnitřním odporem
- Při přesahu spínání T_1 a T_2 může docházet k vysokým proudovým špičkám
- Nízká překlápěcí úroveň napětí U_E

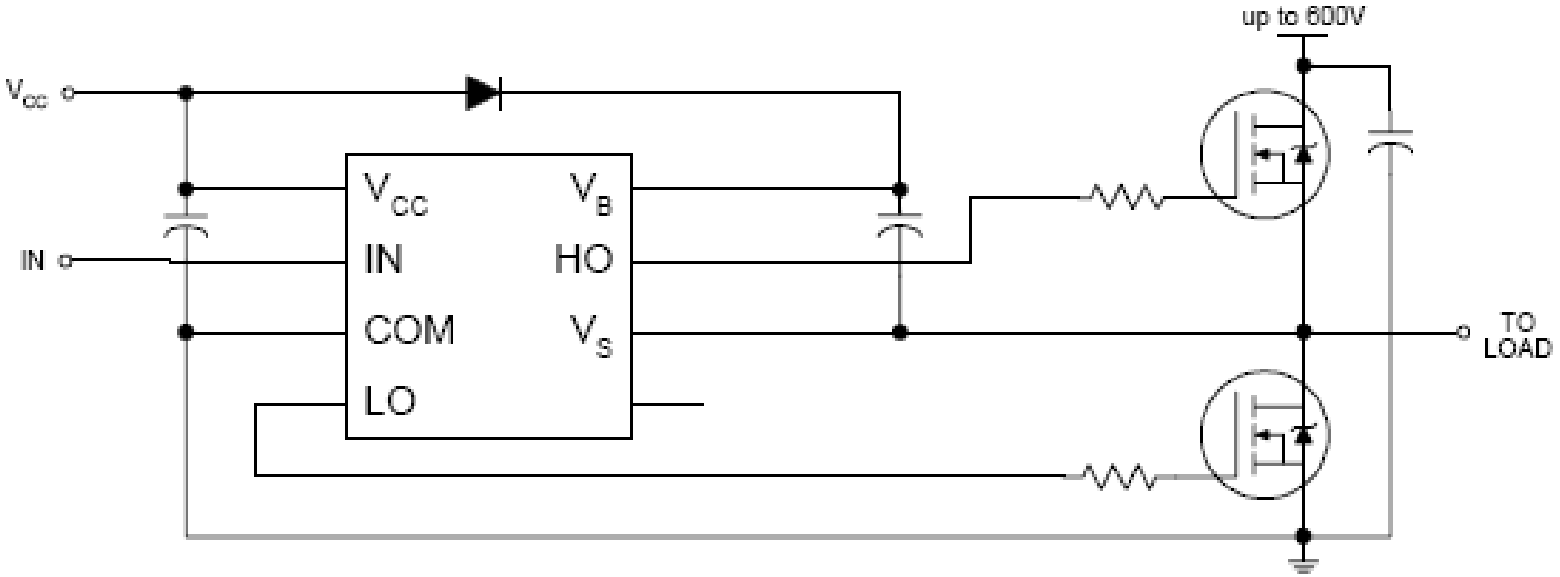
Použití transformátorové vazby



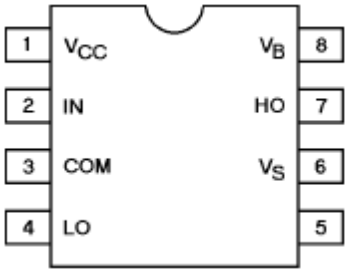


- K řízení se užívá střídavé napětí vytvářené blokujícím oscilátorem
- Pomalé zapínací a vypínací hrany
- Jednoduchá náhrada relé

Řídicí obvody polovičního můstku s FET napájené integrovaným obvodem IRF 2111 s nábojovou pumpou



Strana nízkého potenciálu



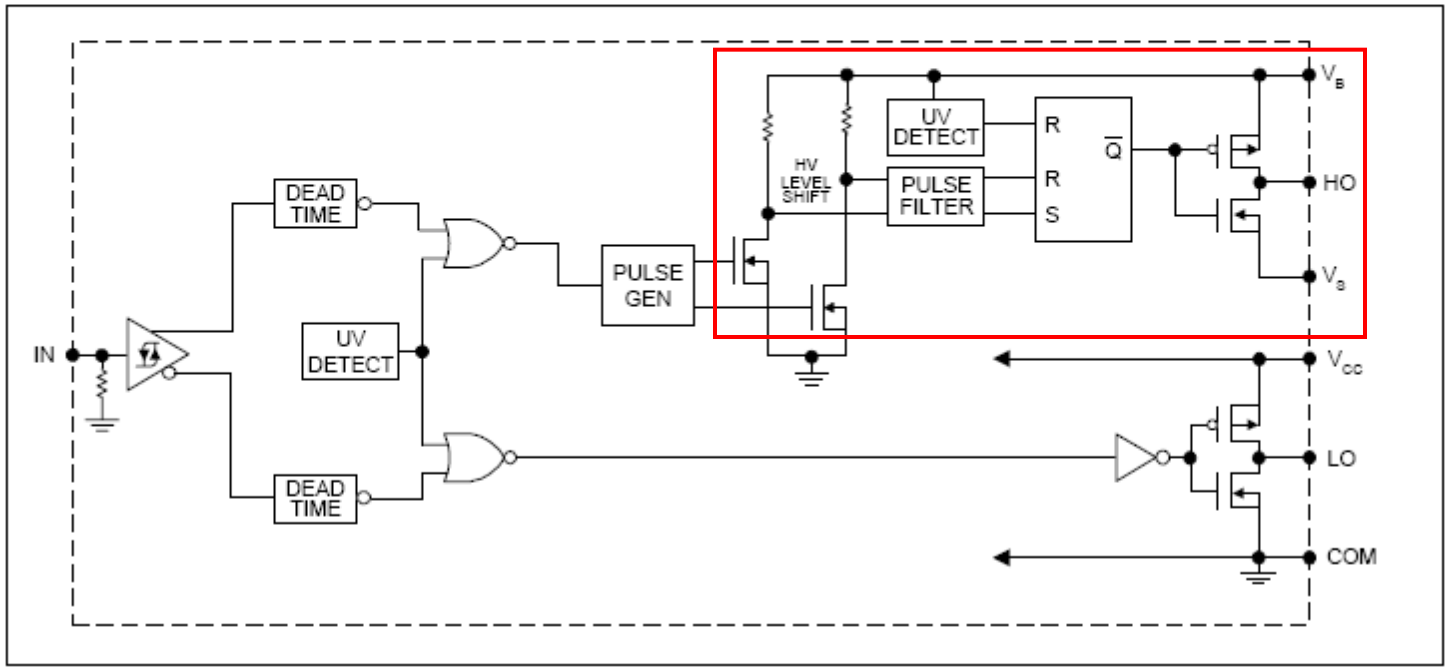
Strana vysokého potenciálu

IR2111(S)&(PbF)

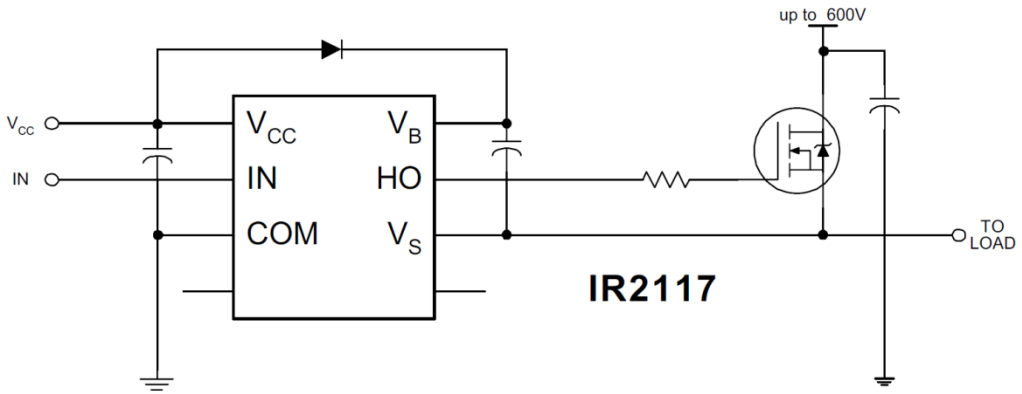
International
IOR Rectifier

Functional Block Diagram

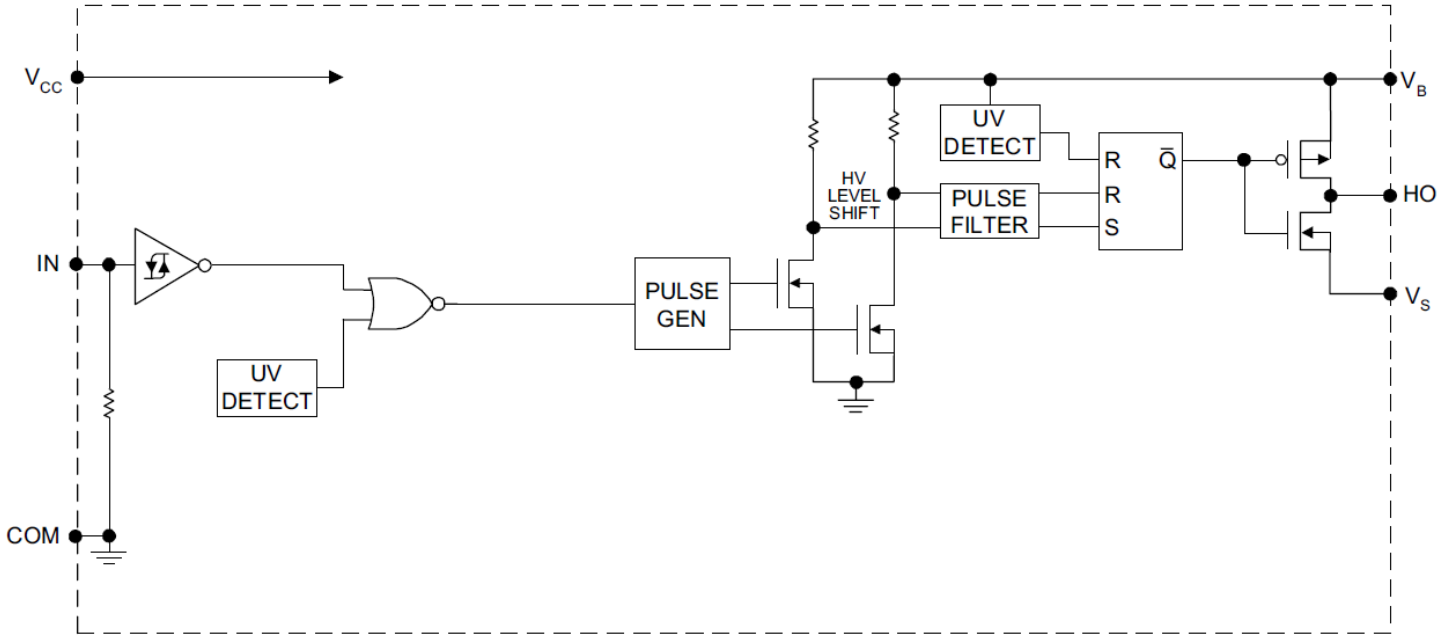
Část obvodu na vysokém potenciálu



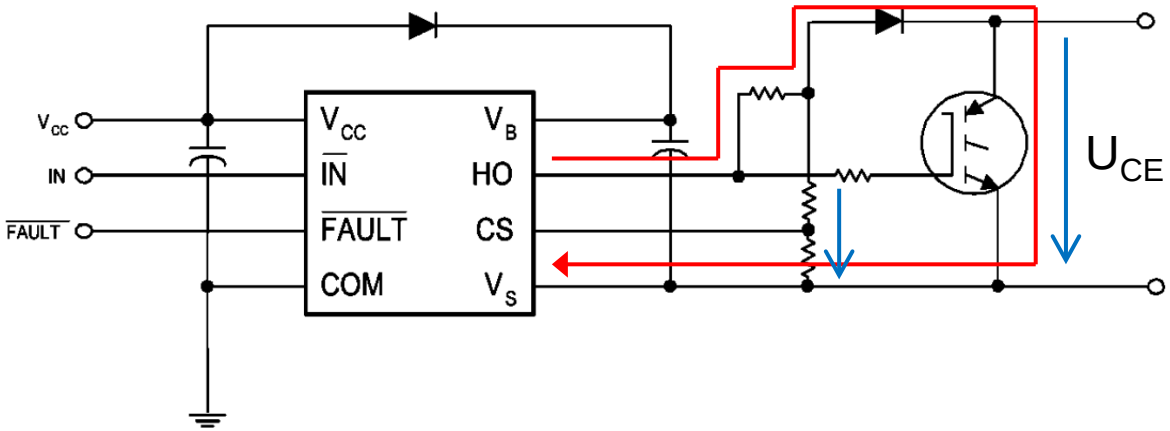
Budiče s IO IR21**

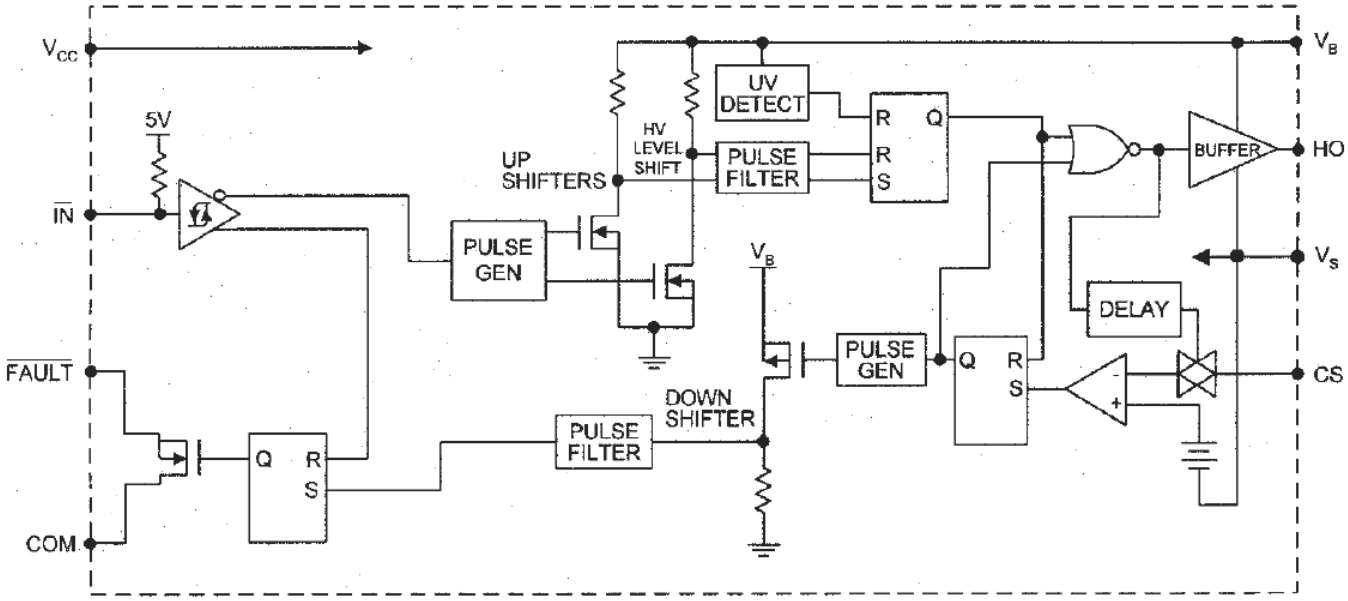


V_{OFFSET} 600V max.
I_O+/- 200 mA / 420 mA
V_{OUT} 10 - 20V
$t_{on}/_{off}$ (typ.) 125 & 105 ns

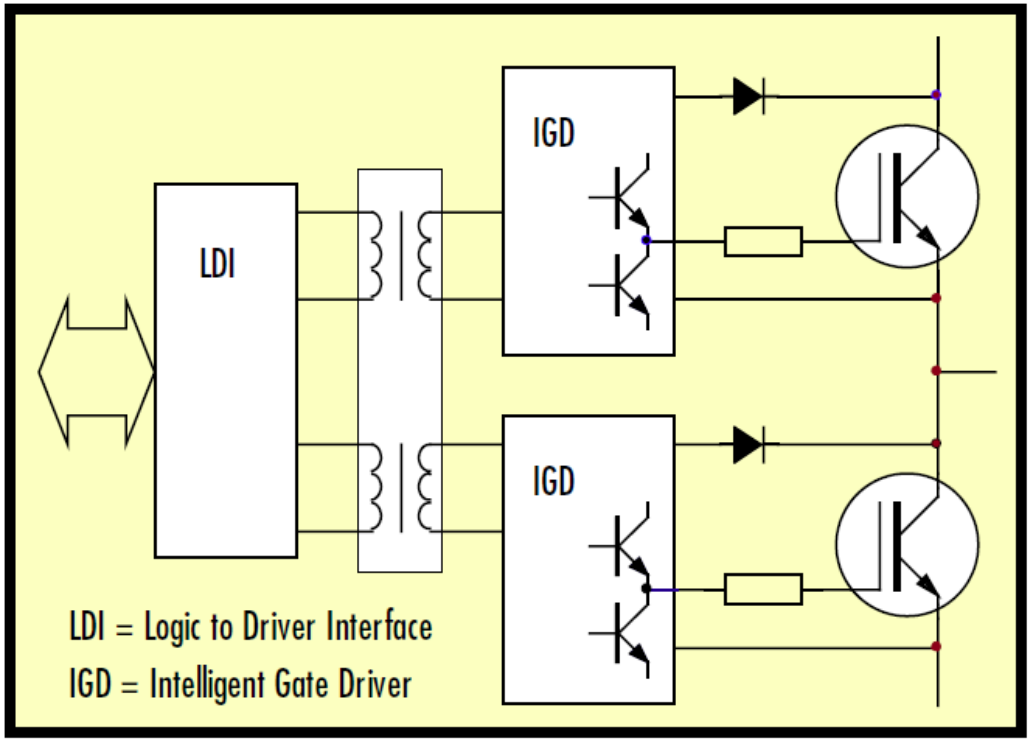


Budič IR s nadproudovou ochranou

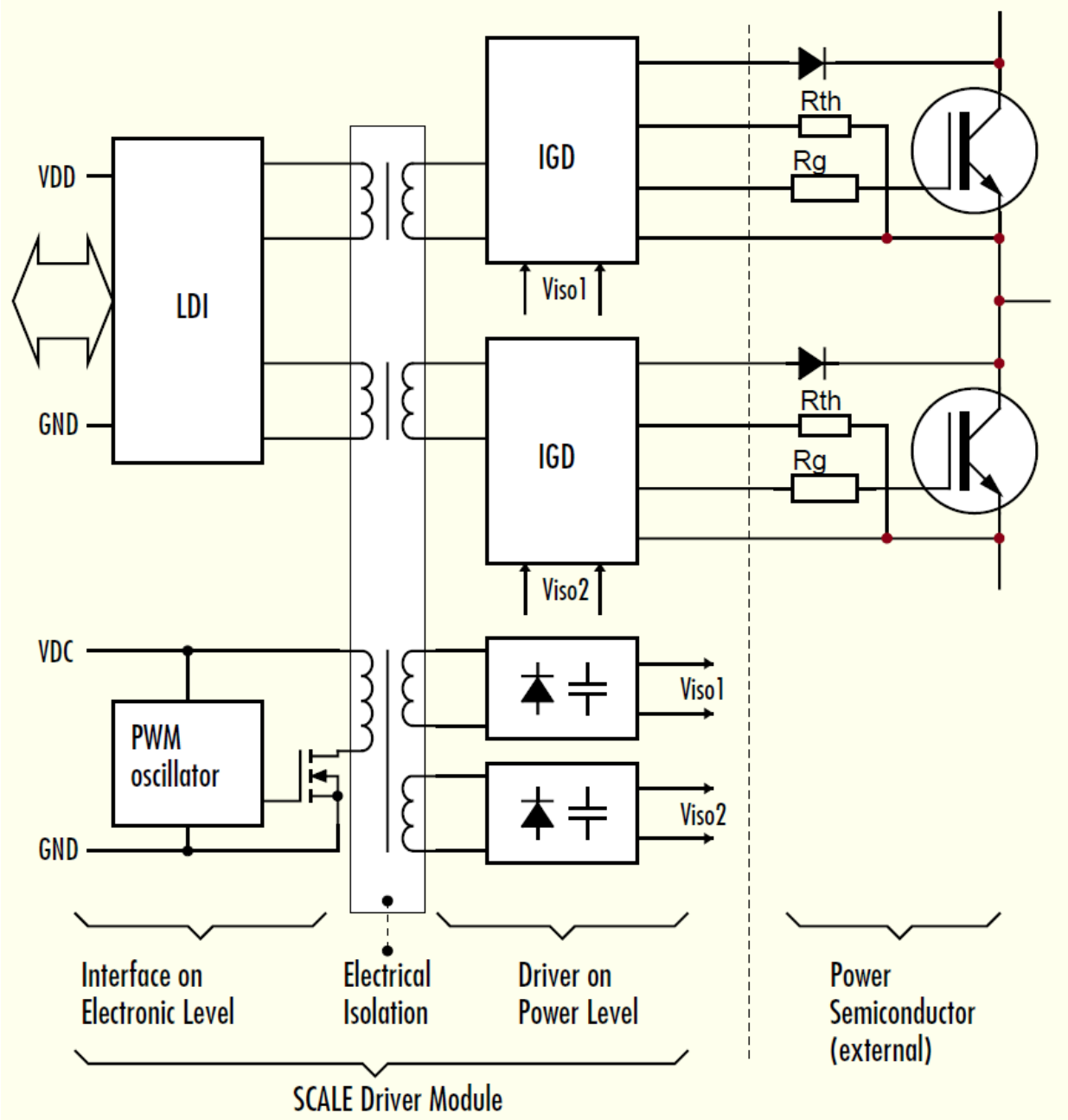
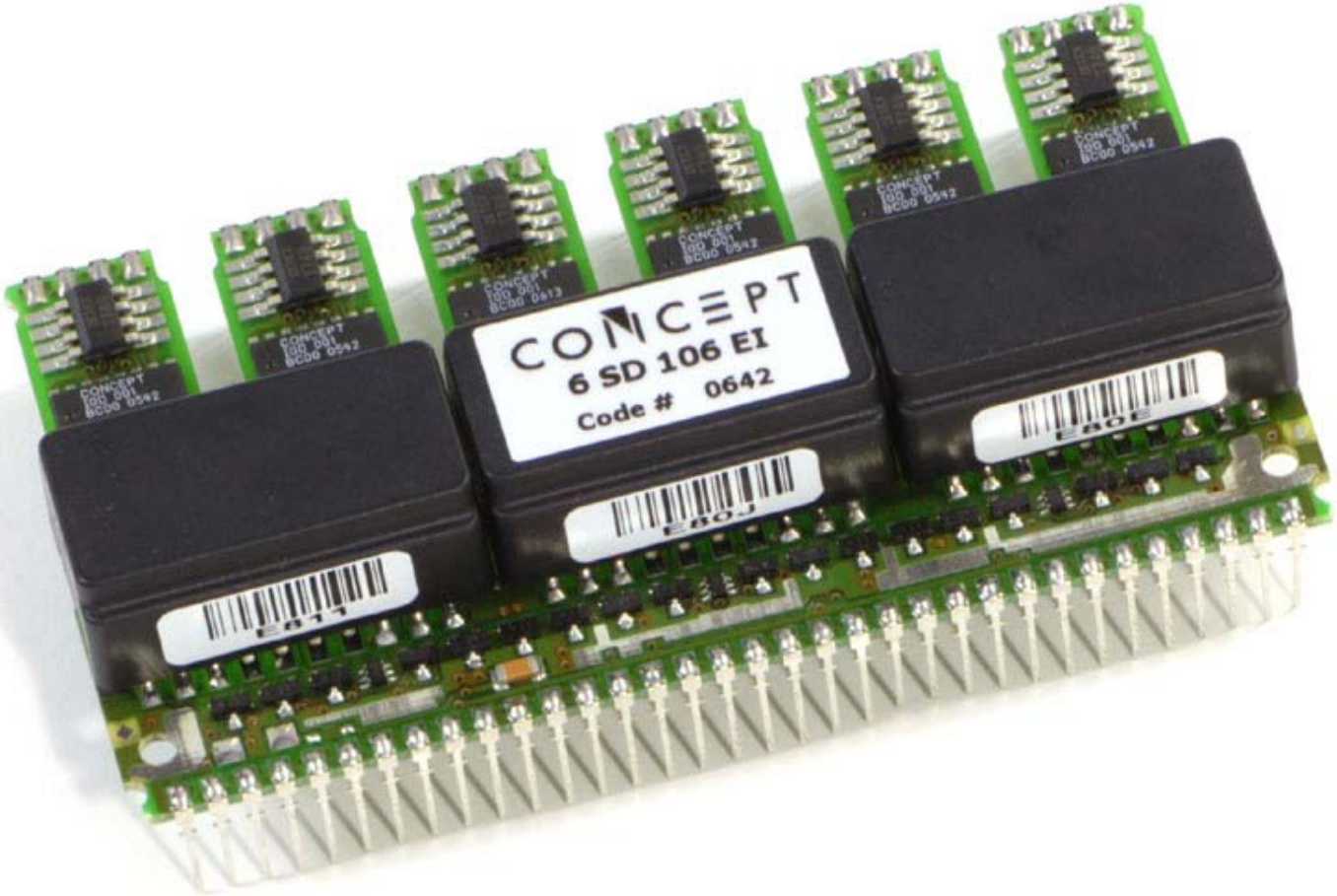




Příklad budiče



Pro aplikace do 1700 V
Nadproudová a zkratová ochrana (reakce cca 5 μs)
Proud I_G až +/- 6 A
Spínací frekvence až 100 kHz
Galvanické oddělení


VDD
GND
LDI
IGD
Viso1
IGD
Viso2
Rth
Rg
Rth
Rg
VDC
GND
PWM
oscillator
Viso1
Viso2
Interface on
Electronic Level
Electrical
Isolation
Driver on
Power Level
Power
Semiconductor
(external)
SCALE Driver Module

Six-pack Driver – budič 3f můstku